

KLH

(19) 大韓民国特許庁 (KR)
(12) 公開特許公報 (A)

(51) Int. Cl. ⁶	(11) 公開番号 特 1999-0084554
<u>H01L 27/108</u>	<u>(43) 公開日付 1999年12月06日</u>
(21) 出願番号 10-1998-0016413	
(22) 出願日付 1998年05月08日	
(71) 出願人 現代半導体株式会社 キム・ヨンファン	
(72) 発明者 キム・ビヨングック	

審査請求：有り

(54) 半導体装置の製造方法

要約

本発明は、半導体装置の製造方法に関するものであって、特に電力消耗と集積度の側面を同時に解決する記憶素子である DRAM(dynamic random access memory)を製造するにおいて、キャパシタ及びビットラインが形成される領域のポリシリコンプラグを独立的なパターン形成を行わずに、一つのパターンを形成してコンタクトホールを形成することにより、後続工程で自動整列(self-align)されたコンタクトの形成を可能にした半導体装置の DRAM 製造方法に関するものである。

本発明は、半導体基板の表面部位にフィールド隔離膜、ゲート絶縁膜、ゲート、上記ゲート上に位置するキャップ絶縁膜、ゲート側壁とソース/ドレインが形成された半導体基板上に第1層間絶縁層を上記キャップ絶縁膜の表面と同一平面上に位置するように形成する段階と、キャップ絶縁膜と上記第1層間絶縁層上にストレージ電極ノードコンタクトとビットラインコンタクト部位とを同時に定義するエッチングマスクを形成する段階と、エッチングマスクで保護されない部位の第1層間絶縁層を除去する段階と、エッチングマスクを除去する段階と、第1層間絶縁層が除去された部位に第1導電層を形成する段階と、第1導電層と上記キャップ絶縁膜とを含む全表面に第2層

間絶縁層を形成する段階と、第2層間絶縁層の所定部位を除去し、ビットラインコントラクト部位に形成された上記第1導電層の第1表面を露出させる段階と、露出した第1導電層の第1表面と第2層間絶縁層上に第2導電層を形成した後、パターニングしてビットラインを形成する段階と、ビットラインを含む第2層間絶縁層の表面に第3層間絶縁層を形成する段階と、第3層間絶縁層と第2層間絶縁層の所定部位を除去してストレージ電極ノード形成部位の第1導電層の第2表面を露出させる段階と、第3層間絶縁層の表面と第2導電層の表面に第3導電層を形成した後、パターニングしてストレージ電極を形成する段階と、ストレージ電極の表面に誘電膜を形成する段階と、誘電膜上にプレート電極を形成する段階とを含んでなる。

7603

第2回序指令

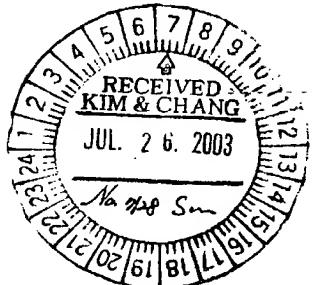
출력 일자: 2003/7/28

발송번호 : 9-5-2003-028287310
발송일자 : 2003.07.25
제출기일 : 2003.09.25

수신 : 서울 종로구 내자동 219 한누리빌딩(김&
장 특허법률사무소)
장수길 귀하

110-053

특허청 의견제출통지서



출원인	명칭 미쓰비시덴키 가부시키가이샤 (출원인코드: 519980960919) 주소 일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고
대리인	성명 장수길 외 1명 주소 서울 종로구 내자동 219 한누리빌딩(김&장 특허법률사무소)
출원번호	10-2001-0015428
발명의 명칭	반도체 장치 및 그 제조 방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인을 통지는 하지 않습니다.)

[이 유]

[이어] 이 출원의 특허청구범위 제 1-4항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통용이하게 발명할 수 있는 것이므로 특허법 제29상의 지식을 가진 자가 아래에 지적한 것에 의하여 조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

[이내] 반도체 장치에 관한 것으로 국내공개특허공보 99-84554호 ('99.12.06)의 반도체 장치의 제조 방법에 있어 전력소모와 집적도의 측면을 동시에 해결하는 기억소자를 제조하는데 있어 반도체 기판에 형성된 게이트, 캡 절연막, 게이트 측벽과 소스/드레인이 형성된 반도체 기판 위에 제1 층 간절연막을 동일 평면 상에 위치하도록 형성하는 단계 및 제2 층 간절연막 위에 비트라인을 형성하는 단계, 제3 층 간절연막을 소정 부위 제거하여 스토리지 전극 노드부를 형성하는 단계를 포함하는 구성으로부터 당업자에 의해 용이하게 발명 할 수 있는 것임.

[첨 부]

첨부1 한국공개특허공보 1999-84554호(1999.12.06) 1부 끝.

2003.07.25

특허청

삼사4국

반도체2심사담당관실

심사관 조지은

공개특허 1999-0084554

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁸
H01L 27/108(11) 공개번호 특 1999-0084554
(43) 공개일자 1999년 12월 06일

(21) 출원번호	10-1998-0016413
(22) 출원일자	1998년 05월 08일
(71) 출원인	현대반도체 주식회사 김영환
(72) 발명자	충청북도 청주시 흥덕구 할정동 1번지 김병국
(74) 대리인	대전광역시 중구 읍제동 170-92 양순석, 한윤근

설명 : 있음

(54) 반도체장치의 제조방법

요약

본 발명은 반도체장치의 제조방법에 관한 것으로서, 특히 전력소모와 접점도의 축면을 동시에 해결하는 기억소자인 디램(dynamic random access memory)을 제조하는데 있어서 캐패시터 및 비트라인이 형성될 영역의 폴리실리콘 플러그를 독립적인 패턴형성을 하지 아니하고 하나의 패턴을 형성하여 콘택홀을 형성하므로서 후속 공정에서 자동정렬(self-align)된 콘택 형성을 가능하도록한 반도체장치의 디램 제조방법에 관한 것이다.

본 발명은 반도체 기판 표면부위에 필드격리막, 게이트절연막, 게이트, 상기 게이트 위에 위치하는 캡절연막, 게이트절연막과 소스/드레인이 형성된 반도체기판 위에 제 1 층간절연층을 상기 캡절연막의 표면과 동일 평면상에 위치하도록 형성하는 단계와, 캡절연막과 상기 제 1 층간절연층 위에 스토리지전극 노드 콘택과 비트라인 콘택부위를 동시에 정의하는 식각마스크를 형성하는 단계와, 식각마스크로 보호되지 아니하는 부위의 제 1 층간절연층을 제거하는 단계와, 식각마스크를 제거하는 단계와, 제 1 층간절연층이 제거된 부위에 제 1 도전층을 형성하는 단계와, 제 1 도전층과 상기 캡절연막을 포함하는 전 표면에 제 2 층간절연층을 형성하는 단계와, 제 2 층간절연층의 소정 부위를 제거하여 비트라인 콘택 부위에 형성된 상기 제 1 도전층의 제 1 표면을 노출시키는 단계와, 노출된 제 1 도전층의 제 1 표면과 제 2 층간절연층 위에 제 2 도전층을 형성한 다음 패터닝하여 비트라인을 형성하는 단계와, 비트라인을 포함하는 제 2 층간절연층의 표면에 제 3 층간절연층을 형성하는 단계와, 제 3 층간절연층과 제 2 층간절연층의 소정 부위를 제거하여 스토리지전극 노드 형성부위의 제 1 도전층의 제 2 표면을 노출시키는 단계와, 제 3 층간절연층 표면과 제 2 도전층 표면에 제 3 도전층을 형성한 다음 패터닝하여 스토리지 전극을 형성하는 단계와, 스토리지전극의 표면에 유전막을 형성하는 단계와, 유전막 위에 플레이트전극을 형성하는 단계를 포함하여 이루어진다.

내포도

도2d

명세서

도면의 간단한 설명

도 1a 내지 도 1d 는 증래 기술에 따른 반도체장치의 디램(DRAM) 제조방법을 도시한 공정단면도
도 2a 내지 도 2d 는 본 발명에 따른 반도체장치의 디램 제조방법을 도시한 공정단면도

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체장치의 제조방법에 관한 것으로서, 특히 전력소모와 접점도의 축면을 동시에 해결하는 기억소자인 디램(dynamic random access memory)을 제조하는데 있어서 캐패시터 및 비트라인이 형성될 영역의 폴리실리콘 플러그를 독립적인 패턴형성을 하지 아니하고 하나의 패턴을 형성하여 콘택홀을 형성하므로서 후속 공정에서 자동정렬(self-align)된 콘택 형성을 가능하도록한 반도체장치의 디램 제조방법에 관한 것이다.

메모리(memory)는 기억소자이므로 데이터를 저장할 수 있는 장치와 미곳으로 외부의 데이터를 실어오거나 기억된 데이터를 외부로 실어내는 장치로 대별된다. 데이터를 전달하는 장치를 주변회로라 하며 저장장치를 셀 어레이(cell array)라 부른다. 셀 어레이는 단위기억소자들이 매트릭스(matrix) 형태로 모여

있는 접합체이다. 일반적으로 1비트 단위의 데이터를 저장할 수 있는 단위 기억소자는 데이터의 유지 및 보존장치, 메모리 셀을 선택하여 활성화하는 신호선(워드 라인)과 메모리 셀의 데이터를 입출력할 수 있는 선(비트 라인)을 구비하여야 한다. 이러한 구성요소를 만족시키기 위하여 2~4개의 트랜지스터를 사용하는 등 여러가지 방법들이 제안되었으나, 소자수, 배선수 및 소요면적이라는 측면에서 우월한 1개의 모스트랜지스터와 1개의 캐패시터로 구성된 단위기억소자가 주로 사용된다.

이러한 디램 셀에 필요한 스토리지 노드 및 비트라인 형성 재료로서 공정마진의 증가를 위하여 폴리실리콘 플러그를 사용한다. 이러한 플러그는 콘택 또는 바이어 홀(via hole)을 형성한 다음 여기에 폴리실리콘을 증착한 후 전면 거식각 즉 에지백을 실시하여 형성한다. 폴리실리콘 플러그 형성 후 총간절연층을 형성한 다음, 폼(Capacitor On bit Line) 구조를 형성할 때에는 비트라인을 먼저 형성하고 스토리지 노드를 형성하는 순서로 진행하고, 컵(Capacitor Under Bitline) 구조를 형성할 때에는 스토리지 노드를 먼저 형성하고 비트라인을 형성한 다음 배선공정을 실시하여 디램을 완성한다.

도 1a 내지 도 1d는 종래 기술에 따른 반도체장치의 디램(DRAM) 제조방법을 도시한 공정단면도이다.

도 1a를 참조하면, 반도체 기판(1) 표면부위에 활성영역과 필드영역을 정의하는 소자격리용 펄드산화막(2)을 형성한 다음 일반적인 방법으로 게이트산화막(3), 게이트(4), 캡절연막인 절화막(5), 측벽(6)과 소스/드레인(도시 안함)을 형성한 다음 총간절연층으로 제 1 평탄화층(7)을 소자가 형성된 부위를 포함하는 기판(1) 표면에 형성한다.

도 1b를 참조하면, 제 1 평탄화층(7) 위에 포토레지스트를 도포한 다음 노광 및 현상하는 사전공정을 실시하여 캐패시터의 스토리지 노드와 비트라인 콘택이 형성될 부위를 노출시키는 포토레지스트패턴(8)을 정의한다.

포토레지스트패턴(8)으로 보호되지 아니하는 부위의 제 1 평탄화층(7)을 식각하여 캡절연막(5)의 일부와 측벽(6) 표면 그리고 소자의 활성영역을 이루는 기판(1) 표면을 노출시킨다. 이때, 노출된 부위는 각각 스토리지 노드와 비트라인 콘택이 형성될 부위이다.

도 1c를 참조하면, 노출된 부위와 소자 등의 표면을 포함하는 기판(1)의 전면에 도핑된 폴리실리콘을 증착하여 형성한다. 이때, 증착 두께는 잔류한 제 1 평탄화층(7) 사이의 갭(gap)을 충분히 매립할 수 있는 두께로 한다.

그 다음 잔류한 제 1 평탄화층(7)의 표면을 기준으로 폴리실리콘의 표면을 평탄화하여 각각의 갭을 기준으로 서로 격리된 폴리실리콘 플러그(9)를 형성한다. 이때, 형성된 플러그(9)는 각각 스토리지 전극 노드/비트라인 콘택 플러그/스토리지 전극 노드가 되며, 잔류한 제 1 평탄화층(7)에 의하여 서로 격리되어 있으나 소자의 고집적화에 따라 이를 사이의 간격이 좁아진다.

도 1d를 참조하면, 폴리실리콘 플러그(9)의 노출된 표면과 잔류한 제 1 평탄층(7)의 표면에 총간절연층으로 제 2 평탄화층(10)을 형성한 다음 소정 부위를 제거하여 비트라인 콘택 부위의 폴리실리콘 플러그의 표면을 노출시킨다. 그 다음 노출 부위를 포함하는 제 2 평탄화층(10)의 표면에 도핑된 폴리실리콘을 증착한 후 패터닝하여 비트라인(11)을 형성한다.

그리고 비트라인(11) 표면을 포함하는 제 2 평탄화층(10) 표면에 제 3 평탄화층(12)을 형성한 다음, 제 3 평탄화층(12)과 제 2 평탄화층(10)의 소정 부위를 제거하여 스토리지 노드용 폴리실리콘 플러그(9)를 노출시키는 바이어 홀(via hole)을 형성한다. 이러한 바이어 홀을 매립하는 충분한 두께의 도핑된 폴리실리콘층을 제 3 평탄화층(12) 위에 형성한 다음 패터닝하여 스토리지 전극(13)을 형성한다.

이후 도시되지는 아니하였으나, 스토리지전극(13)의 노출된 표면에 유전막을 형성한 다음 그 위에 플레이트전극을 형성하여 캐패시터를 완성하므로 디램셀을 형성한다.

상술한 종래 기술은 스토리지전극 노드 및 비트라인 콘택을 동시에 형성하기 때문에 소자가 고집적화될 수를 폴리실리콘 플러그간의 공간이 좁아지게 되므로 플러그간에 단락이 발생할 확률이 높은 문제점이 있다.

발명이 이루고자 하는 기술적 과정

따라서, 본 발명의 목적은 전력소모와 접적도의 측면을 동시에 해결하는 기억소자인 디램(dynamic random access memory)을 제조하는데 있어서 캐패시터 및 비트라인이 형성될 영역의 폴리실리콘 플러그를 독립적인 패턴형성을 하지 아니하고 하나의 패턴을 형성하여 콘택홀을 형성함으로서 고정여유를 증가시키고 휴대 공정에서 자동정렬(self-align)된 콘택 형성을 가능하도록 한 반도체장치의 디램 제조방법을 제공하는데 있다.

상기 목적을 달성하기 위한 본 발명에 따른 반도체장치의 제조방법은 반도체 기판 표면부위에 필드격리막, 게이트절연막, 게이트, 상기 게이트 위에 위치하는 캡절연막, 게이트총벽과 소스/드레인이 형성된 반도체기판 위에 제 1 총간절연층을 상기 캡절연막의 표면과 동일 평면상에 위치하도록 형성하는 단계와, 캡절연막과 상기 제 1 총간절연층 위에 스토리지전극 노드 콘택과 비트라인 콘택부위를 동시에 정의하는 식각마스크를 형성하는 단계와, 식각마스크로 보호되지 아니하는 부위의 제 1 총간절연층을 제거하는 단계와, 식각마스크를 제거하는 단계와, 제 1 총간절연층이 제거된 부위에 제 1 도전층을 형성하는 단계와, 제 1 도전층과 상기 캡절연막을 포함하는 전 표면에 제 2 총간절연층을 형성하는 단계와, 제 2 총간절연층의 소정 부위를 제거하여 비트라인 콘택 부위에 형성된 상기 제 1 도전층의 제 1 표면을 노출시키는 단계와, 노출된 제 1 도전층의 제 1 표면과 제 2 총간절연층 위에 제 2 도전층을 형성한 다음 패터닝하여 비트라인을 형성하는 단계와, 비트라인을 포함하는 제 2 총간절연층의 표면에 제 3 총간절연층을 형성하는 단계와, 제 3 총간절연층과 제 2 총간절연층의 소정 부위를 제거하여 스토리지전극 노드 형성부위의 제 1 도전층의 제 2 표면을 노출시키는 단계와, 제 3 총간절연층 표면과 제 2 도전층 표면에 제 3 도전층을 형성한 다음 패터닝하여 스토리지 전극을 형성하는 단계와, 스토리지전극의 표면에 유전막을 형성하는 단계와, 유전막 위에 플레이트전극을 형성하는 단계를 포함하여 이루어진다.

발명의 구성 및 작용

본 발명에서는 디램에서의 스토리지 노드 및 비트라인을 형성하기 전에 공정마진을 증가시키기 위하여 반도체 기판의 활성영역과의 콘택트를 형성하는 플러그 형성방법에 관한 것이다. 즉, 종래 기술에서는 스토리지 노드 및 비트라인 콘택트 부위에 형성될 플러그 형성 부위를 별도로 정의하여 플러그를 형성하지만, 이는 콘택트 부위의 크기가 감소할 때 플러그간의 공간 역시 줄어지는 문제점을 제거하기 위하여 포토레지스트 공정시 플러그 형성 부위를 하나만 형성한 다음 여기에 도전률질을 증착한 후 에치백하여 이를 각각의 플러그로 분리시키도록 하는 것이 본 발명의 요지이다.

도 2a 내지 도 2d는 본 발명에 따른 반도체장치의 디램 제조방법을 도시한 공정단면도이다.

도 2a를 참조하면, 반도체 기판(21) 표면부위에 활성영역과 필드영역을 정의하는 소자격리용 필드산화막(22)을 형성한 다음 일반적인 방법으로 게이트산화막(23), 게이트(24), 질화망인 캡슐연막(25), 질화망인 층벽(26)과 소스/드레인(도시 안함)을 형성한 다음 충간절연층으로 제 1 평탄화층(27)을 소자가 형성된 부위를 포함하는 기판(21) 표면에 형성한다. 그리고 제 1 평탄화층(27)을 썬엠피 또는 에치백하여 캡슐연막(25)의 표면과 잔류한 제 1 평탄화층(27)의 표면을 동일 평면상에 일치시킨다.

도 2b를 참조하면, 제 1 평탄화층(27) 및 노출된 캡슐연막(25) 위에 포토레지스트를 도포한 다음 노광 및 현상하는 사진공정을 실시하여 캐페시터의 스토리지 노드와 비트라인 콘택트가 형성될 부위(A)를 동시에 노출시키는 포토레지스트패턴(28)을 정의한다.

포토레지스트패턴(28)으로 보호되지 아니하는 부위의 제 1 평탄화층(27)을 식각하여 캡슐연막(25), 층벽(6) 표면 그리고 소자의 활성영역을 이루는 기판(21) 표면을 노출시킨다. 이때, 노출된 부위는 각각 스토리지 노드와 비트라인 콘택트가 형성될 부위이다.

도 2c를 참조하면, 노출된 부위와 소자 등의 표면을 포함하는 기판(21)의 전면에 도핑된 폴리실리콘을 증착하여 형성한다. 이때, 증착 두께는 층벽(26) 사이의 갭(gap)을 충분히 매립할 수 있는 두께로 한다.

그 다음 캡슐연막(25)의 표면을 기준으로 폴리실리콘의 표면을 평탄화하여 각각의 갭을 기준으로 서로 격리된 폴리실리콘 플러그(29)를 형성한다. 이때, 형성된 플러그(29)는 각각 스토리지 전극 노드/비트라인 콘택트 플러그/스토리지 전극 노드가 되며, 층벽(26)에 의하여 서로 격리되어 있으므로 소자의 고집적화에 따라 이를 사이의 간격이 즘아침에도 불구하고 이들이 전기적으로 단락될 우려가 없다.

도 2d를 참조하면, 폴리실리콘 플러그(29)의 노출된 표면과 층벽(26)의 일부 표면 그리고 캡슐연막(25)의 표면에 충간절연층으로 제 2 평탄화층(30)을 형성한 다음 소정 부위를 제거하여 비트라인 콘택트 부위의 폴리실리콘 플러그(29)의 표면을 노출시킨다. 그 다음 노출 부위를 포함하는 제 2 평탄화층(30)의 표면에 도핑된 폴리실리콘을 증착한 후 패터닝하여 비트라인(31)을 형성한다.

그리고 비트라인(31) 표면을 포함하는 제 2 평탄화층(30) 표면에 제 3 평탄화층(32)을 형성한 다음, 제 3 평탄화층(32)과 제 2 평탄화층(30)의 소정 부위를 제거하여 스토리지 노드를 폴리실리콘 플러그(29)를 노출시키는 바이어 홀(via hole)을 형성한다. 이러한 바이어 홀을 매립하는 충분한 두께의 도핑된 폴리실리콘층을 제 3 평탄화층(32) 위에 형성한 다음 패터닝하여 스토리지 전극(33)을 형성한다.

이후 도시되지는 아니하였으나, 스토리지전극(13)의 노출된 표면에 유전막을 형성한 다음 그 위에 플레이트전극을 형성하여 캐페시터를 완성하므로서 디램셀을 형성한다.

발명의 효과

따라서, 본 발명은 소자의 고집적화에 따라 콘택트 부위의 공정 여유 감소에 따른 콘택트 또는 바이어 홀 형성능력 향상 및 콘택트 사이의 단락을 방지하고 셀내의 활성 데이터를 사용하므로 데이터 툴링(data tooling)이 용이하다. 그리고 캡슐연막 및 층벽 그리고 폴리실리콘 플러그를 이용한 후속 콘택트 또는 바이어 홀 형성시 자동정렬된 콘택트의 형성이 가능하며, 또한 콘택트 크기의 변화에 따른 활성영역과의 접촉 면적의 변화가 발생하지 아니하는 장점이 있다.

(57) 청구의 범위

청구항 1. 반도체 기판 표면부위에 필드격리막, 게이트절연막, 게이트, 상기 게이트 위에 위치하는 캡슐연막, 게이트층벽과 소스/드레인이 형성된 반도체기판 위에 제 1 충간절연층을 상기 캡슐연막의 표면과 동일 평면상에 위치하도록 형성하는 단계와,

상기 캡슐연막과 상기 제 1 충간절연층 위에 스토리지전극 노드 콘택트와 비트라인 콘택트부위를 동시에 정의하는 식각마스크를 형성하는 단계와,

상기 식각마스크로 보호되지 아니하는 부위의 상기 제 1 충간절연층을 제거하는 단계와,

상기 식각마스크를 제거하는 단계와,

상기 제 1 충간절연층이 제거된 부위에 제 1 도전층을 형성하는 단계와,

상기 제 1 도전층과 상기 캡슐연막을 포함하는 전 표면에 제 2 충간절연층을 형성하는 단계와,

상기 제 2 충간절연층의 소정 부위를 제거하여 상기 비트라인 콘택트 부위에 형성된 상기 제 1 도전층의 제 1 표면을 노출시키는 단계와,

노출된 상기 제 1 도전층의 상기 제 1 표면과 상기 제 2 충간절연층 위에 제 2 도전층을 형성한 다음 패터닝하여 비트라인을 형성하는 단계와,

상기 비트라인을 포함하는 상기 제 2 충간절연층의 표면에 제 3 충간절연층을 형성하는 단계와,
 상기 제 3 충간절연층과 상기 제 2 충간절연층의 소정 부위를 제거하여 상기 스토리지전극 노드 형성부
 위의 상기 제 1 도전층의 제 2 표면을 노출시키는 단계와,
 상기 제 3 충간절연층 표면과 상기 제 2 도전층 표면에 제 3 도전층을 형성한 다음 패터닝하여 스토리지

상기 스토리지전극의 표면에 유전막을 형성하는 단계와,

상기 유전막 위에 플레이트전극을 형성하는 단계로 이루어진 반도체장치의 제조방법.

청구항 2. 청구항 1에 있어서, 상기 캡절연막과 상기 게이트축벽은 질화막으로 형성하는 것이 특징인
 반도체장치의 제조방법.

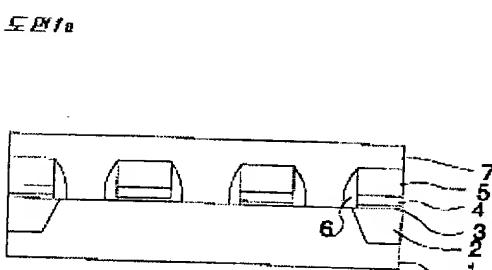
청구항 3. 청구항 1에 있어서, 상기 씽각마스크는 하나의 패턴으로 상기 스토리지전극 노드 형성 부
 위와 상기 비트라인 콘택 부위를 노출시키도록 포토레지스트로 형성하는 것이 특징인 반도체장치의 제조
 방법.

청구항 4. 청구항 1에 있어서, 상기 제 1 내지 제 3 충간절연층은 평탄화층으로 형성하는 것이 특징
 인 반도체장치의 제조방법.

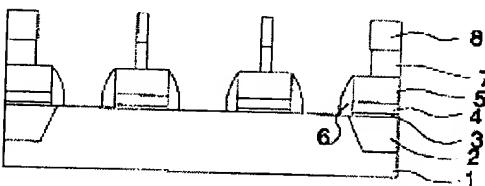
청구항 5. 청구항 1에 있어서, 상기 제 1 내지 제 3 도전층은 도핑된 폴리실리콘을 증착하여 형성하
 는 것이 특징인 반도체장치의 제조방법.

청구항 6. 청구항 1에 있어서, 상기 스토리지전극/유전막/플레이트전극으로 이루어진 캐퍼시터를 먼저
 형성한 다음 상기 비트라인을 형성하는 것이 특징인 반도체장치의 제조방법.

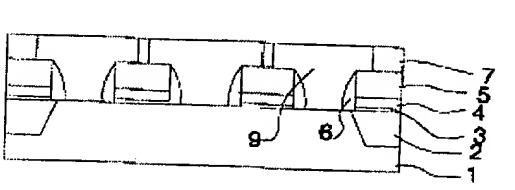
도면 1a



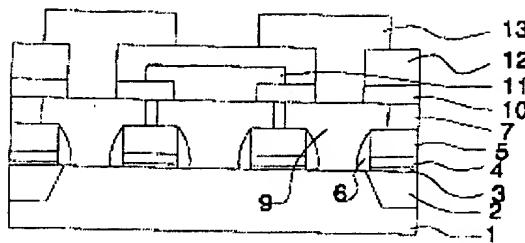
도면 1a



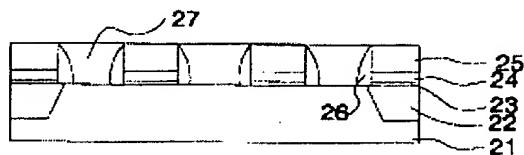
도면 1b



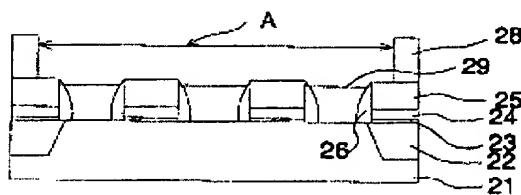
도면1d



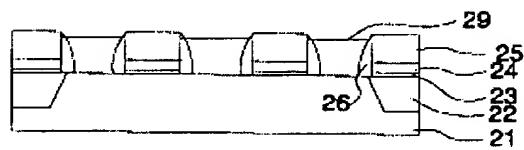
도면2a



도면2b



도면2c



도면2d

